

Convertitori AD e DA

1 - Convertitori DA

Convertitore DA a rete pesata

Il convertitore digitale/analogico a rete pesata costituisce un esempio intuitivo di come si possa ottenere una tensione analogica da un codice numerico.

Il convertitore impiega una rete di resistori, ciascuno di valore doppio del precedente (Fig.1.1), e si serve di un generatore di riferimento V_{ref} .

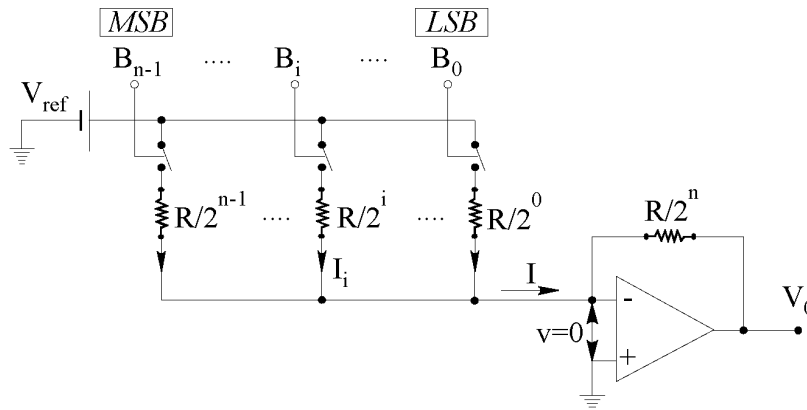


Fig.1.1 - Convertitore DA a rete pesata.

Gli interruttori che consentono di collegare le diverse resistenze all'alimentazione V_{ref} sono comandati dai bit di pertinenza e vengono chiusi quando il bit corrispondente è pari ad 1.

In conseguenza della massa virtuale presente sul nodo sommatore all'ingresso dell'amplificatore operazionale, la corrente I risulta:

$$I = \sum_{i=0}^{n-1} B_i \frac{V_{ref}}{R} 2^i \quad (1.1)$$

mentre la tensione in uscita V_o risulta:

$$V_o = -\frac{R}{2^n} I = -\frac{V_{ref}}{2^n} \sum_{i=0}^{n-1} B_i 2^i \quad (1.2)$$

Tale espressione, a parte il segno (che può essere cambiato invertendo la polarità di V_{ref}), è proprio la definizione di un generico valore analogico in funzione del codice digitale B_i .

L'accuratezza del convertitore è legata all'accuratezza e alla stabilità della tensione di riferimento, che deve quindi essere realizzata con un generatore di elevata qualità, e dei

rapporti tra i resistori. A questo proposito è utile osservare che, sebbene i resistori utilizzati nei circuiti integrati presentino derive termiche relativamente elevate, i rapporti tra le resistenze hanno una stabilità termica molto migliore, dal momento che i resistori integrati sono molto vicini tra di loro e sono sottoposti alle stesse vicissitudini termiche e quindi a variazioni percentuali molto simili.

In ogni caso, se il numero di bit è elevato risulta difficile garantire, nella pratica, che ciascun resistore sia di valore doppio del precedente, con una tolleranza che sia coordinata con la risoluzione.

Convertitore DA a rete R/2R

L'inconveniente segnalato al paragrafo precedente può essere superato con una rete a scala, impiegando resistori con due soli valori: R e $2R$ (Fig.1.2). In questo modo risulta relativamente agevole realizzare dei resistori integrati i cui rapporti restino accurati e stabili anche in presenza di variazioni di temperatura significative.

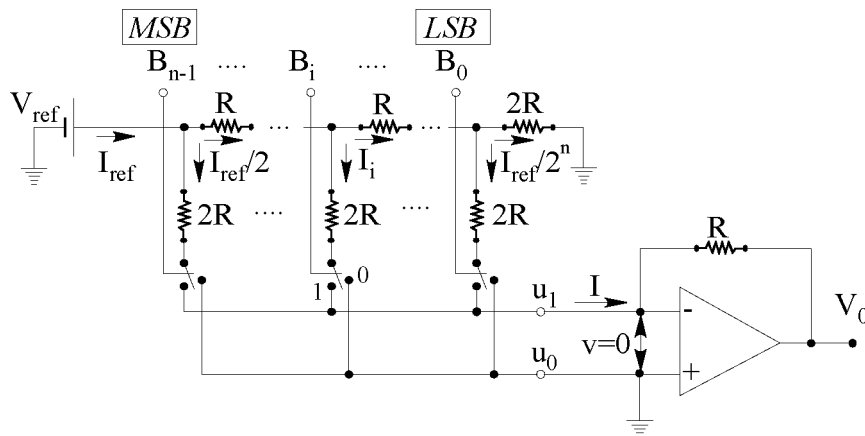


Fig.1.2 - Convertitore DA a rete R/2R.

In questo circuito, la corrente I_i che fluisce nel generico ramo verticale di resistenza $2R$ è indipendente dalla posizione del proprio interruttore.

Infatti i due morsetti d'ingresso dell'operazionale u_0 ed u_1 risultano entrambi al potenziale di massa, o per connessione diretta (punto u_0) ovvero per la massa virtuale (punto u_1) imposta dalla controeazione dello stadio invertente. Pertanto la corrente del ramo verticale corrispondente al bit B_i sarà inviata direttamente a massa nel caso in cui $B_i=0$, mentre arriverà al nodo sommatore in ingresso all'operazionale qualora fosse $B_i=1$. In questo secondo caso la corrente I_i del generico ramo contribuirà alla corrente totale I che entra nel nodo sommatore, percorrendo quindi la resistenza R di controeazione dell'amplificatore operazionale.

La corrente erogata dal generatore risulta costante e pari a $I_{ref} = V_{ref}/R$ in ogni condizione. Infatti, come si può facilmente constatare partendo dall'ultimo nodo a destra e risalendo verso monte, il generatore di riferimento V_{ref} vede sempre una resistenza di valore R qualunque sia la combinazione degli *switch*.

La corrente I_{ref} in uscita dal generatore di riferimento si dimezza a ciascun nodo. Infatti i due rami visti dalla corrente entrante nel generico nodo presentano ciascuno una resistenza di valore pari a $2R$.

Lo *switch* comandato dal *MSB* controlla il contributo maggiore di corrente, pari a $I_{ref}/2$, mentre a quello comandato dal *LSB* è associato il contributo più piccolo, pari a $I_{ref}/2^n$.

In definitiva la corrente al nodo sommatore dell'operazionale risulta:

$$I = \sum_{i=0}^{n-1} B_i \frac{I_{ref}}{2^{n-i}} = \sum_{i=0}^{n-1} B_i \frac{V_{ref}}{R} \frac{1}{2^{n-i}} \quad (1.3)$$

mentre la tensione in uscita è:

$$V_o = -RI = -\frac{V_{ref}}{2^n} \sum_{i=0}^{n-1} B_i 2^i \quad (1.4)$$

2 - Circuito di *sample and hold*

Per poter realizzare la conversione AD di un segnale variabile nel tempo è necessario che il segnale analogico venga campionato e il valore del campione estratto venga mantenuto costante per il tempo occorrente affinché il convertitore AD operi la conversione nel codice binario.

Il campionamento di un segnale analogico è ottenuto, da un punto di vista pratico, mediante il circuito di campionamento e tenuta (*sample & hold*), con uno schema di base come in Fig.2.1. In linea di principio la memorizzazione del campione è realizzata, come mostrato nel circuito di sinistra, tramite un condensatore C che viene caricato al valore del segnale analogico presente in ingresso durante il tempo in cui l'interruttore (*switch*) SW rimane chiuso (fase di *sample*) e che mantiene invariato tale valore quando l'interruttore è aperto (fase di *hold*).

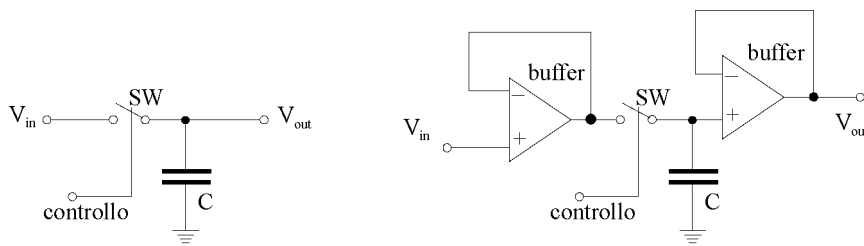


Fig.2.1 - Circuiti di *sample & hold*.

Nello schema di base, a sinistra in Fig.2.1, la fase di *sample* non potrebbe essere istantanea, ma sarebbe caratterizzata da una costante di tempo determinata dalla resistenza equivalente del segnale di ingresso e dalla capacità C . D'altra parte, durante la fase di *hold* la tensione in uscita non potrebbe restare costante, per effetto della scarica del condensatore sulla resistenza di carico. Per minimizzare questi fenomeni, nel circuito a destra in Fig.2.1 sono presenti due *buffer*, che hanno lo scopo rispettivamente di consentire la carica rapida del condensatore durante la fase di *sample*, grazie alla bassissima resistenza d'uscita del dispositivo a monte del condensatore di memoria, e di evitarne la scarica sulla resistenza di carico durante la fase di *hold*, grazie all'elevatissima resistenza di ingresso del dispositivo a valle.

Il transitorio di campionamento, rappresentato nella Fig.2.2, inizia con il comando di *sample* applicato al morsetto di controllo dell'interruttore (di tipo statico).

La tensione in uscita comincia a seguire l'ingresso con un tempo di salita che dipende sia dalle possibilità di variazione (*slew-rate*) del buffer in ingresso che dalla costante di tempo del circuito di carica.

Il tempo di acquisizione (*acquisition time*) è il tempo necessario perché l'uscita raggiunga il suo valore finale, con un prefissato margine, dopo la transizione *hold to sample*.

Poiché tale tempo dipende dall'escursione della tensione durante il transitorio, nelle

specifiche di questi dispositivi viene indicato il tempo di acquisizione relativo alla massima escursione del segnale.

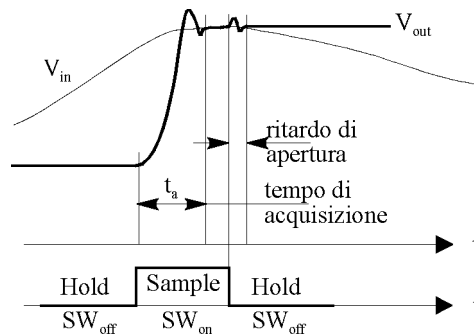


Fig.2.2 - Transitorio temporale di campionamento.

Il ritardo di apertura (*aperture delay time*) è il tempo richiesto perché l'uscita smetta di inseguire l'ingresso dopo la transizione *sample to hold*. Tale tempo non è costante e la dispersione dei suoi valori costituisce il fenomeno di *jitter*.

Durante la fase di mantenimento è anche presente un decadimento dell'uscita (*droop*) dovuto alle perdite del condensatore. Inoltre l'uscita risente delle variazioni del segnale di ingresso (*feedthrough*). Tali fenomeni, di solito limitati, non sono rappresentati in figura. Nella pratica, la tensione in uscita dal *sample & hold* deve rimanere sufficientemente costante, affinché il successivo convertitore AD possa portare a termine il processo di conversione con un'accuratezza che sia coordinata con la sua risoluzione.

3 - Convertitori AD

Convertitore AD ad approssimazioni successive

Il convertitore analogico/digitale più utilizzato è quello ad approssimazioni successive, il cui schema è mostrato in Fig.3.1. Esso utilizza al suo interno un convertitore DA inserito in un circuito a retroazione, nel quale la tensione V_{DAC} prodotta dal DAC viene confrontata, per mezzo di un comparatore, con la tensione analogica da convertire V_a . L'uscita del comparatore V_o può quindi assumere due stati. Per fissare le idee supporremo, per esempio, che lo stato sia alto (1) se $V_a > V_{DAC}$ e basso (0) se $V_a < V_{DAC}$.

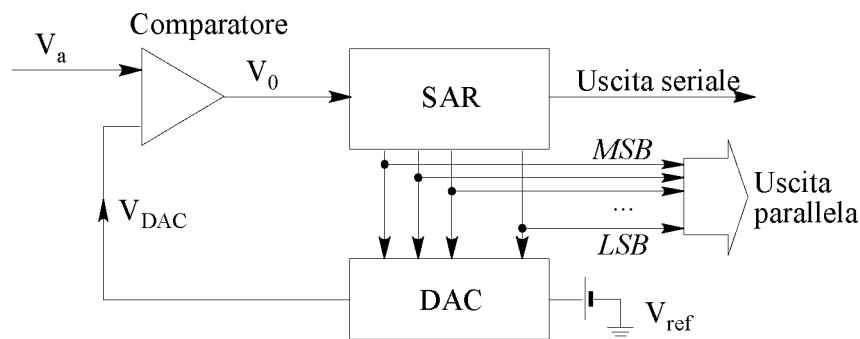


Fig.3.1 - Convertitore AD ad approssimazioni successive.

Il controllo della procedura è gestito dal registro ad approssimazioni successive (*Successive Approximation Register, SAR*), all'interno del quale vi è un contatore che ha la particolarità di portare a uno, in corrispondenza di ogni impulso di clock, una cifra binaria del codice d'uscita, a partire dal bit più significativo.

Per comprenderne il funzionamento si consideri l'esempio di Fig.3.2, dove è riportata la procedura di aggiornamento per un convertitore a quattro bit (16 livelli).

Supponiamo che il valore analogico da convertire V_a sia compreso fra $11q$ e $12q$.

Inizialmente viene posto a 1 il *MSB* del convertitore *DA*, lasciando a 0 tutti gli altri bit. Corrispondentemente l'uscita analogica del *DAC* è pari a $FSR/2$.

Al confronto del comparatore la tensione analogica V_a risulta maggiore di quella V_{DAC} prodotta dal convertitore *DA* e pertanto la tensione V_o è alta.

Il registro ad approssimazioni successive mantiene il *MSB* pari ad 1 e passa a determinare il bit $n-2$, ponendolo provvisoriamente ad 1 e quindi incrementando la tensione V_{DAC} di una quantità pari a metà di quella precedente.

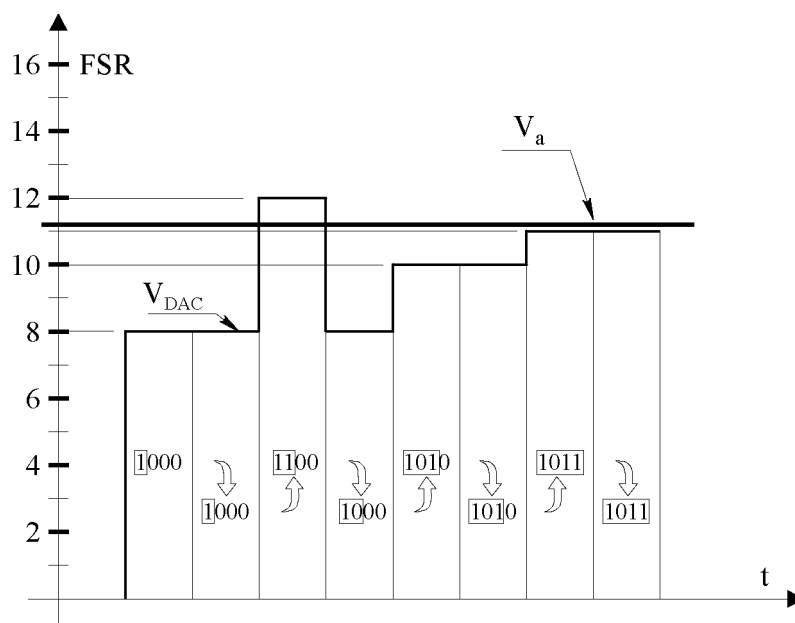


Fig.3.2 - Procedura di aggiornamento ad approssimazioni successive.

Il valore complessivo della V_{DAC} è ora pari a $12q$ e il comparatore porterà bassa la sua uscita.

Per questo motivo, il registro ad approssimazioni successive ritiene che il bit $n-2$ debba essere pari ad 0 e passa a determinare il bit $n-3$, con modalità perfettamente analoghe.

La *routine* prosegue fino alla convergenza della V_{DAC} verso la V_a . Nello schema semplificato di Fig. 2.2 l'errore di quantizzazione è compreso tra 0 e q . Nelle realizzazioni pratiche, con opportuni accorgimenti l'errore viene mantenuto entro $\pm \frac{1}{2} q$ (o come si usa più spesso dire nella pratica, $\pm \frac{1}{2} LSB$, sebbene questa terminologia sia a rigore poco corretta).

L'intera operazione di conversione viene compiuta in un numero di passi pari al numero di bit n del convertitore. Il periodo degli impulsi di clock, cioè la durata di ogni passo, deve essere superiore alla somma dei ritardi di propagazione dei circuiti contenuti nell'anello di retroazione, cioè del contatore, del convertitore *DA* e del comparatore. Per questo motivo il convertitore ad approssimazioni successive non è un convertitore molto veloce (un valore

tipico del tempo di conversione è dell'ordine del microsecondo, che consente quindi velocità di campionamento dell'ordine di un milione di campioni al secondo, 1 Msample/s , ma consente conversioni con buona risoluzione (tipicamente $12 \div 16$ bit).

Convertitore AD parallelo (*flash*)

Il convertitore AD *flash* è un convertitore veloce. Infatti il risultato voluto si ottiene non attraverso una *routine* a passi successivi, bensì in modo quasi istantaneo, applicando in modo diretto la tensione di ingresso a un numero di comparatori pari al numero dei livelli di quantizzazione. In ciascun comparatore la tensione viene confrontata con la tensione corrispondente al livello di quantizzazione considerato.

In Fig.3.3 è riportato lo schema di principio per un convertitore a tre bit.

La tensione da convertire V_a è applicata in parallelo a uno dei due ingressi di ciascun comparatore. La tensione all'altro ingresso è ottenuta ripartendo la tensione di riferimento V_{ref} in 2^n intervalli di ampiezza q , mediante delle resistenze tarate di valore R . Soltanto la prima e l'ultima resistenza hanno valori diversi (rispettivamente $R/2$ e $3R/2$) al fine di centrare l'intervallo di indifferenza rispetto al livello di quantizzazione: in tal modo infatti la prima tensione di riferimento è pari a $q/2$ e le successive aumentano di quantità sempre pari a q .

I valori di tensione così ottenuti costituiscono le soglie di scatto per i diversi comparatori.

Nell'esempio rappresentato in Fig.3.3 il valore analogico da convertire V_a è compreso fra le soglie di scatto $4,5q$ e $5,5q$: in tal caso tutti i comparatori da 1 a 5 hanno uscita (per esempio) alta, mentre i restanti comparatori 6 e 7 hanno uscita bassa.

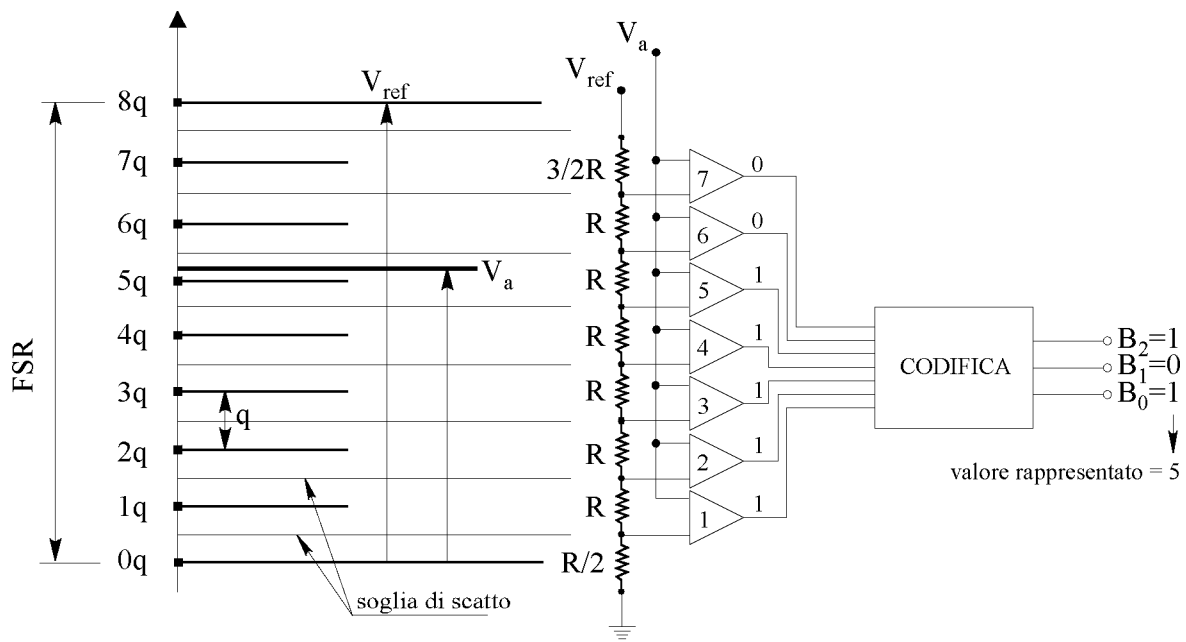


Fig.3.3 - Convertitore AD flash.

L'insieme delle uscite di ciascun comparatore viene convertito dal blocco di codifica nella corrispondente parola binaria $B_2 B_1 B_0$ (per un convertitore a tre bit).

L'elevata velocità di conversione è dovuta alla comparazione simultanea della tensione analogica V_a con tutti i possibili valori discreti di tensione.

A fronte della elevatissima velocità di conversione (valori tipici del tempo di conversione sono dell'ordine del nanosecondo o inferiori, corrispondenti a velocità di 1 Gsample/s o

superiori) sussistono difficoltà di realizzazione per convertitori con un numero elevato di bit. Ad esempio un convertitore a 10 bit richiederebbe l'impiego di $2^n-1=1023$ comparatori (di norma integrati in un singolo *chip*). Un valore tipico per questi convertitori è 8 bit.

Convertitori AD *pipeline*

Il numero di comparatori richiesto dal convertitore *flash* può essere ridotto effettuando la conversione AD in due o più passi, realizzando i cosiddetti convertitori AD *pipeline*. La Fig.3.4 illustra l'esempio del convertitore a due fasi.

Dapprima si realizza una conversione a bassa risoluzione con m bit e passo di quantizzazione $q_m = FSR/2^m$, essendo FSR il fondoscala del convertitore.

Successivamente un convertitore DA riconverte il codice a bassa risoluzione in un segnale analogico che viene sottratto dal segnale analogico originario.

Tale differenza, che risulta al massimo pari a $q_m/2$, viene codificata in un secondo convertitore AD con k bit, il cui *range* di ingresso è l'intervallo $\pm q_m/2$ e il cui passo di quantizzazione è $q_k = q_m/2^k = FSR/2^{m+k}$

Si ottengono in tal modo due codici che rappresentano rispettivamente gli m bit più significativi ed i k bit meno significativi e costituiscono una parola di codice con $n=m+k$ bit.

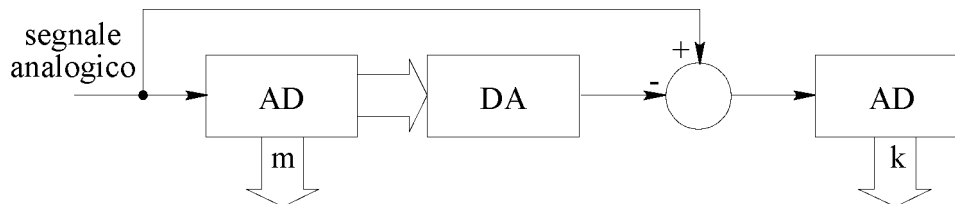


Fig.3.4 - Convertitore AD *pipeline* in due fasi.

Il numero di comparatori complessivamente richiesto risulta $(2^m-1)+(2^k-1)$, contro i (2^n-1) di un convertitore flash diretto. Per esempio, un sistema con due convertitori a 4 bit ciascuno richiede un numero di comparatori pari a 30, mentre un convertitore diretto a 8 bit richiede 255 comparatori. Per contro la doppia conversione e le operazioni accessorie rallentano il processo e possono introdurre incertezze aggiuntive.

Con la tecnica *pipeline* si possono realizzare convertitori ad alta velocità (fino a centinaia di megasample per secondo) e con risoluzione anche di 14 o 16 bit, cioè molto più elevata di quella ottenibile con i convertitori *flash*.

Convertitore AD a doppia rampa

Per misurare tensioni continue sono diffusamente impiegati convertitori tensione-frequenza o tensione-tempo. Essi sono normalmente caratterizzati da tempi di conversione più lunghi e da un'accuratezza superiore rispetto ai dispositivi analizzati in precedenza. Trovano pertanto impiego principalmente nei multimetri digitali, per misurare direttamente una tensione continua o, nel caso di grandezze alternate, l'uscita continua del convertitore AC-DC, che risulta proporzionale al valore efficace della grandezza in ingresso (si veda il Capitolo sui multimetri).

La buona accuratezza della conversione dipende principalmente da due considerazioni:

- la tensione di ingresso viene applicata ad un circuito integratore, che, effettuando di fatto un'operazione di media, consente di massimizzare la reiezione del rumore (per questo motivo questi convertitori vengono spesso definiti come *voltmetri a integrazione*).
- la misura della tensione viene ricondotta alla misura di un intervallo di tempo o di una

frequenza, che può essere effettuata con ottima accuratezza con la tecnica del conteggio degli impulsi, come descritto nel Capitolo dedicato alle “Misure di frequenza e di tempo”. Il voltmetro a doppia rampa, schematizzato in Fig.3.5, è un convertitore tensione-tempo e rappresenta l'esempio più noto di questa famiglia di convertitori.

Nello schema rappresentato in figura la tensione incognita V_x e la tensione di riferimento V_{ref} sono di segno opposto, per un corretto funzionamento del dispositivo.

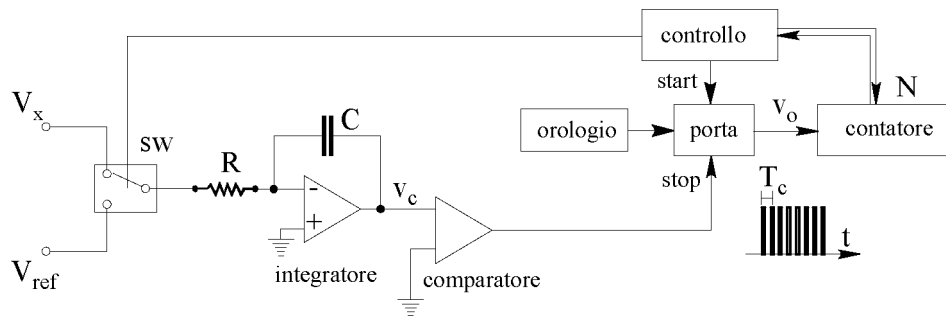


Fig.3.5. - Schema del convertitore a doppia rampa.

Durante un primo intervallo di tempo, di durata costante T_0 , viene integrata la tensione incognita V_x . Nella Fig.3.6 è rappresentato il caso in cui la tensione V_x è (per esempio) negativa e pertanto si ottiene in uscita una tensione v_c a rampa ascendente.

Conseguentemente la tensione di riferimento V_{ref} sarà positiva: $V_{ref} = V_R$.

Poiché il tempo T_0 è costante, gli impulsi di *clock* (con periodo T_c) che passano attraverso la porta risultano in numero costante N_0 qualunque sia il valore della tensione incognita. Questo fatto è evidenziato in figura riportando le rampe relative a due tensioni incognite V_x e V_{x1} .

Trascorso il tempo T_0 , dopo il quale la rampa ha raggiunto il valore ΔV (o ΔV_1), il circuito di controllo provvede a commutare, tramite l'interruttore sw , l'ingresso dell'integratore sulla tensione di riferimento V_{ref} e contemporaneamente azzerava il contatore.

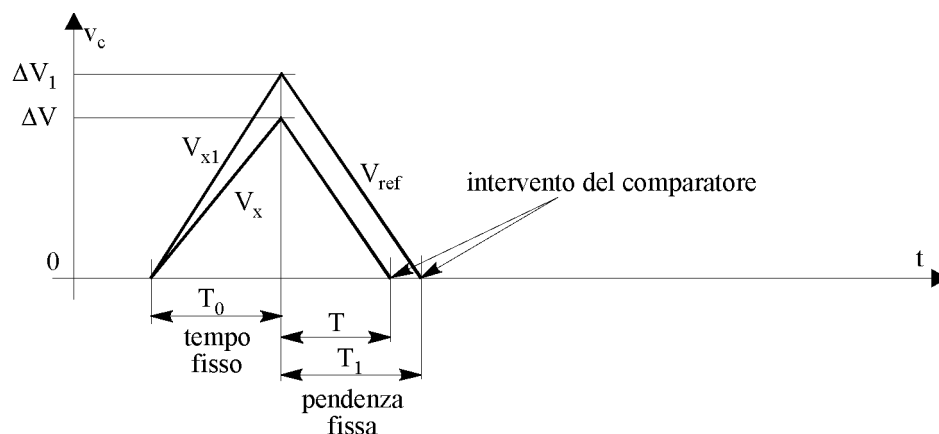


Fig.3.6 - Andamenti delle tensioni nel convertitore a doppia rampa.

Inizia quindi la rampa discendente che, partendo dal valore iniziale, si abbassa con pendenza costante fino a incontrare l'asse dei tempi.

Il passaggio per lo zero determina lo scatto del comparatore e il segnale di *stop* del conteggio. Il numero N di impulsi contati in questo secondo intervallo di tempo T dipende evidentemente

dal valore iniziale ΔV e quindi dal valore della tensione V_x .

L'escursione della tensione v_c nell'intervallo di salita e in quello di discesa risulta da:

$$\begin{aligned} \text{in salita} \quad v_c &= -\frac{1}{RC} V_x T_0 = \Delta V \\ \text{in discesa} \quad v_c &= \Delta V - \frac{1}{RC} V_{ref} T = 0 \end{aligned} \quad (2.2)$$

Da cui si ottiene:

$$V_x T_0 = -V_{ref} T \quad \Rightarrow \quad V_x = -V_R \frac{N}{N_0} \quad (2.3)$$

L'accuratezza della misura dipende, in pratica, principalmente dal riferimento di tensione V_R . Infatti, i parametri passivi (quali resistenza e capacità) e il periodo di *clock* T_c non hanno variazioni importanti nell'arco di tempo (T_0+T) in cui si realizza la misura.

Un inconveniente del voltmetro a doppia rampa può essere costituito dal tempo di misurazione, che dipende dal numero degli impulsi contati e può quindi risultare molto elevato quando si vogliono raggiungere risoluzioni significative. Per esempio, per un voltmetro a 7 1/2 cifre (massimo numero di conteggi $N_{max} = 2 \cdot 10^7$), con frequenza di clock di 10 MHz ($T_c = 10^{-7}$ s), ipotizzando che sia $N_0 = N_{max}$, la durata massima della misurazione sarebbe pari a $T_{mis} = 2 \cdot N_{max} \cdot T_c = 4$ s. Per risolvere questo problema sono state studiate soluzioni a rampe multiple, che consentono di mantenere l'accuratezza della configurazione a doppia rampa con tempi di conversione molto inferiori.

4 - Caratteristiche dei convertitori AD e DA

Parametri statici

La caratteristica ingresso-uscita di un convertitore *AD* o *DA* è una gradinata, come visto nel capitolo che tratta delle problematiche generali della conversione analogico-digitale. Collegando tra loro i punti medi di ogni gradino si ottiene una retta passante per l'origine con una pendenza di 45° (se le scale sui due assi sono normalizzate rispetto ai valori massimi). Tale retta può essere anche interpretata come la caratteristica di un convertitore teorico con un numero infinito di bit. La caratteristica reale del convertitore differisce da questa retta ideale per un insieme di motivi che vengono solitamente riassunti in alcune cause di incertezza tipiche: offset, errore di guadagno, non linearità.

Tali importanti parametri verranno di seguito descritti graficamente facendo uso di diagrammi che caratterizzano gli errori e che, benché qui illustrati per i convertitori *DA*, valgono in linea di principio anche per i convertitori *AD*. Questi diagrammi vengono per semplicità riferiti al caso del convertitore teorico con infiniti bit, ossia trascurando gli effetti della quantizzazione.

Errori di offset e di gain

In Fig.4.1 sono rappresentati gli errori di *offset* (A) e di *gain* (B) per un convertitore *DA* (considerando il codice digitale sulle ascisse).

L'errore di *offset* indica che la caratteristica reale non passa per l'origine degli assi, e cioè che in presenza di un ingresso nullo l'uscita non è nulla. Graficamente questo fenomeno è rappresentato dalla traslazione della caratteristica ideale parallelamente a se stessa. In ogni punto della scala si avrà quindi un errore costante che costituisce appunto l'*offset*.

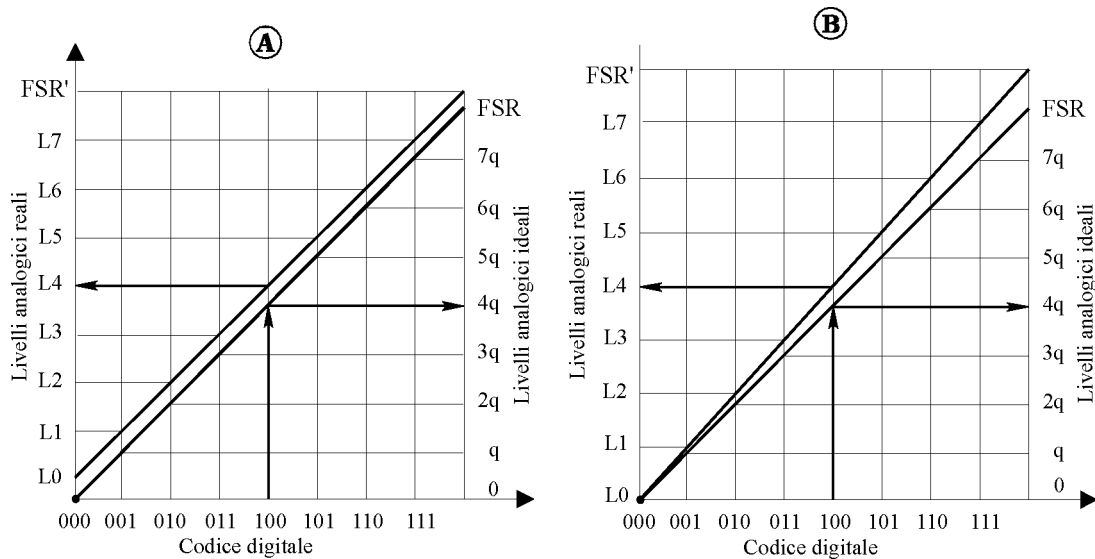


Fig.4.1 - Errori di offset (A) e di gain (B).

L'errore di guadagno (*gain error*) è dovuto alla imprecisione nel valore del riferimento di tensione o alle tolleranze dei guadagni degli stadi di amplificazione o attenuazione che precedono il convertitore vero e proprio. Tale causa di incertezza si manifesta come una variazione di pendenza della caratteristica reale rispetto a quella ideale e quindi come una variazione percentuale costante in ogni punto della scala.

Se tali errori fossero noti in valore e segno sarebbe possibile compensarne gli effetti sulle uscite, ma ciò è un caso molto raro nella pratica. Spesso nei convertitori sono presenti dei terminali che permettono di ridurre, mediante opportuni circuiti esterni, gli effetti di ciascuna di queste cause. Anche in presenza di tale compensazione resterebbe comunque un valore residuo, incerto in valore e segno, che comporta la definizione di una fascia di incertezza attorno alla caratteristica ideale lungo tutto il campo di misura.

Errori di non linearità

A causa delle non idealità dei componenti impiegati, i passi di quantizzazione di un convertitore possono essere diversi l'uno dall'altro lungo il campo di misura. In questa situazione la caratteristica reale del convertitore non è più una retta, dando luogo a errori detti di non linearità. Si possono definire due tipi di errori di non linearità, a seconda della caratteristica che interessa evidenziare, vedi Fig.4.2.

L'errore di non linearità integrale (*integral nonlinearity*) di un convertitore *DA* è dato dalla differenza, per ogni parola di codice, fra il valore effettivo della tensione analogica in uscita e quello della retta di migliore approssimazione. Essendo tale differenza variabile, in termini sia assoluti che percentuali, nei diversi punti della scala, le specifiche dei dispositivi forniscono il valore massimo di questo errore (*INL*), senza specificare in quale punto della scala esso si manifesta.

L'errore di non linearità differenziale (*differential nonlinearity*) viceversa ha attinenza con due codici adiacenti. Nel caso ideale, i valori analogici corrispondenti a due codici adiacenti dovrebbero differire di un passo di quantizzazione q (o di un *LSB*). Quando ciò non accade si parla di non linearità differenziale.

Si veda in proposito la Fig.4.2, dove sono evidenziati i codici adiacenti (100) e (101) che corrispondono ai livelli analogici ideali $L_4 = 4q$ e $L_5 = 5q$ (vedi frecce tratteggiate).

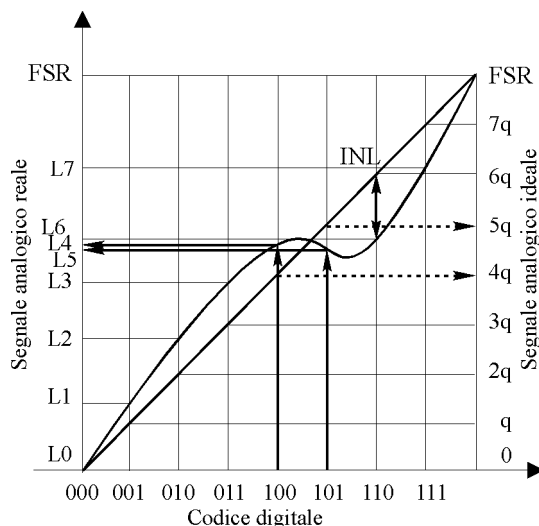


Fig.4.2 - Errori di non linearità integrale e differenziale.

Nella stessa Fig.4.2 è riportata anche la caratteristica di trasferimento reale, nella quale il livello analogico reale L_5 non supera di q il livello L_4 . Nell'esempio della figura L_5 risulta addirittura inferiore a L_4 . Ciò accade perché la caratteristica ha perso la monotonicità.

In generale, l'errore di non linearità differenziale per l' i^{esimo} punto della caratteristica è definito come la differenza: $[q - (L_i - L_{i-1})]$. Anche in questo caso le specifiche dei costruttori riportano solo il valore massimo di tale errore (*DNL*).

Nell'esempio della Fig.4.2, a causa della perdita di monotonicità, l'errore di non linearità differenziale risulta maggiore di 1 *LSB*. Quando tale fenomeno si verifica in un convertitore *DA* facente parte di un convertitore *AD* del tipo ad approssimazioni successive, si ha la perdita del codice (*missing code*).

Parametri dinamici dei convertitori AD

Nel paragrafo precedente sono stati esaminati gli errori di tipo statico, ossia quelli causati dalla suddivisione non ideale dei livelli di transizione del codice, che si manifestano come una modifica della caratteristica ingresso-uscita.

Nella pratica, un ulteriore degrado delle prestazioni del convertitore si verifica a causa di errori addizionali, detti *dinamici*, provocati dalla variazione nel tempo del segnale analogico campionato. Tali sorgenti di errore, i cui effetti tipicamente si manifestano come presenza di rumore o distorsione della forma d'onda, sono normalmente indicate nelle specifiche dei dispositivi attraverso un numero elevato di parametri, non sempre definiti in modo omogeneo dai diversi produttori. I principali di questi parametri, che fanno riferimento a un segnale di ingresso di tipo sinusoidale e con frequenza dichiarata, saranno brevemente presentati nel seguito.

Signal to Noise Ratio (SNR)

Il rapporto segnale-rumore è il rapporto, normalmente espresso in decibel, tra il valore efficace del segnale di ingresso e il valore efficace del rumore, cioè di tutte le componenti spettrali presenti, ad eccezione delle armoniche e della componente continua.

Signal to Noise And Distortion ratio (SINAD)

Il *SINAD* è il rapporto, espresso in decibel, tra il valore efficace del segnale di ingresso e il valore efficace di tutte le componenti spettrali presenti, incluse le armoniche ed esclusa la componente continua.

La stessa informazione può essere fornita mediante il concetto di bit effettivi (*Effective Number Of Bits, ENOB*, o anche *Effective Bits, EB*), discusso nel capitolo dedicato agli aspetti generali delle conversioni AD e DA.

Spurious-Free Dynamic Range (SFDR)

Il parametro *SFDR* esprime la differenza, in decibel (dB), tra il valore efficace del segnale di ingresso e il picco del segnale spurio, cioè di ogni componente presente nello spettro in uscita che non era presente nel segnale in ingresso.

Total Harmonic Distortion (THD)

Il *THD* è il rapporto, spesso espresso in decibel, tra il valore efficace totale delle componenti armoniche e il valore efficace della componente fondamentale.

Parametri dinamici dei convertitori DA*Tempo di assestamento*

Il tempo di assestamento (*settling time*) è un parametro particolarmente importante nelle applicazioni veloci dei convertitori *DA* e rappresenta il tempo richiesto perché una tensione in uscita si avvicini al valore finale, entro un assegnato margine di errore, avendo applicato in ingresso una variazione a gradino. Usualmente il gradino in ingresso è pari al valore corrispondente al fondoscala, mentre il limite di errore è fissato in $\pm 1/2 \text{ LSB}$.

Un altro parametro usuale, fra le specifiche, è il tempo di salita (*rise time*). Questo è il tempo necessario perché l'uscita passi dal 10 % al 90 % del valore finale.

In Fig.4.3 è mostrato un diagramma temporale che illustra le definizioni del settling time t_s e del rise time t_r .

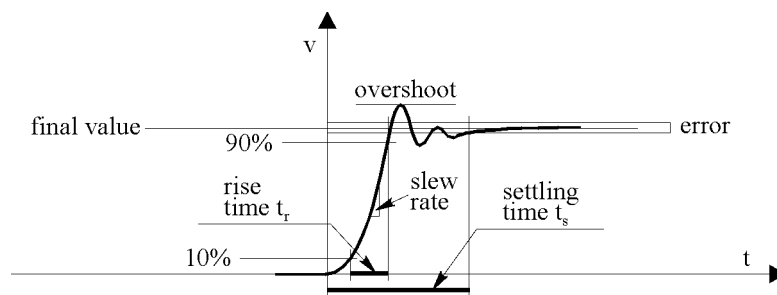


Fig.4.3 – *Tempi di salita e di assestamento.*

Si osservi come il settling time vari a seconda del margine di errore tollerato sull'uscita: in particolare il settling time cresce se si riduce l'approssimazione tollerata in uscita.

Inoltre, l'entità del settling time dipende anche dal fatto che siano o meno presenti sovranelongazioni (*overshoot*) dell'uscita. Il tempo di assestamento per un convertitore *DA* è in larga misura determinato dallo *slew-rate* dell'amplificatore operazionale d'uscita. Lo *slew-rate* è un indice della velocità di variazione dell'uscita e si misura solitamente in $[V/\mu s]$.

Glitch

In un convertitore *DA* la variazione della parola di codice da convertire comporta generalmente il cambiamento di stato di diversi bit, alcuni dei quali passeranno da 0 a 1, mentre altri passeranno da 1 a 0.

Per esempio, quando il codice digitale rappresenta valori attorno a metà scala e si ha una variazione di un *LSB*, corrispondente ad un intervallo elementare di quantizzazione q , tutti i bit cambiano stato. Per un convertitore a tre bit ($2^3 = 8$ livelli di quantizzazione) il valore a metà scala è 011 (corrispondente a $0x2^3+1x2^1+1x2^0 = 0+2+1 = 3$), mentre il successivo valore è 100 (corrispondente a $1x2^3+0x2^1+0x2^0 = 32+0+0+0+0+0 = 32$).

Se, nel realizzare questa variazione, gli interruttori sono più veloci nel commutare verso lo stato *off* ($1 \rightarrow 0$) di quanto non lo siano a commutare verso lo stato *on* ($0 \rightarrow 1$), esisterà un breve intervallo di tempo durante il quale tutti i bit sono a zero e l'uscita del *DAC* risulta nulla (vedi Fig.4.4, dove per semplicità è considerato il caso di un convertitore a 3 bit). Successivamente, completate le transizioni degli *switch*, viene prodotto il valore corretto di tensione sull'uscita.

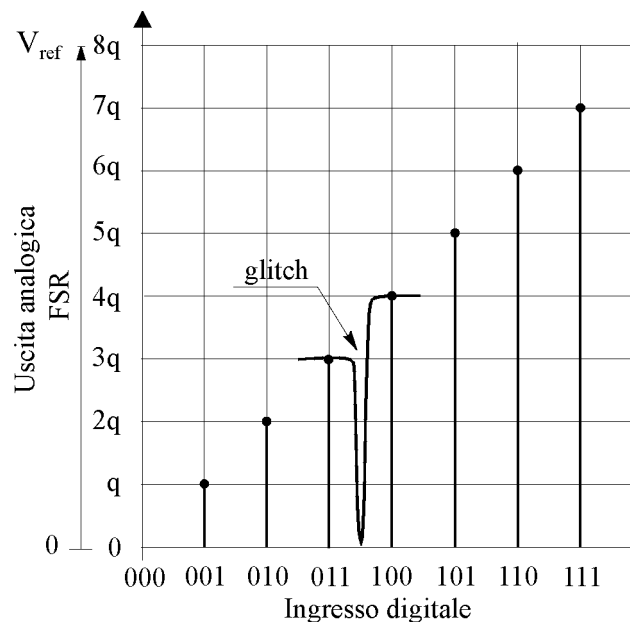


Fig.4.4 - Il fenomeno del glitch.

Questo fenomeno determina la comparsa sull'uscita di impulsi spuri (*glitch*), di ampiezza rilevante (pari, nella situazione esaminata, a metà del valore di fondoscala), particolarmente difficili da eliminare con azioni di filtraggio. Si rendono così necessari appositi circuiti, detti *deglitcher*, per rimuovere gli impulsi spuri, o quantomeno per attenuarne gli effetti.

Tali circuiti sono normalmente costituiti da dispositivi che mantengono l'uscita del convertitore inalterata finché non è terminata l'operazione di commutazione degli *switch*.